

COPY

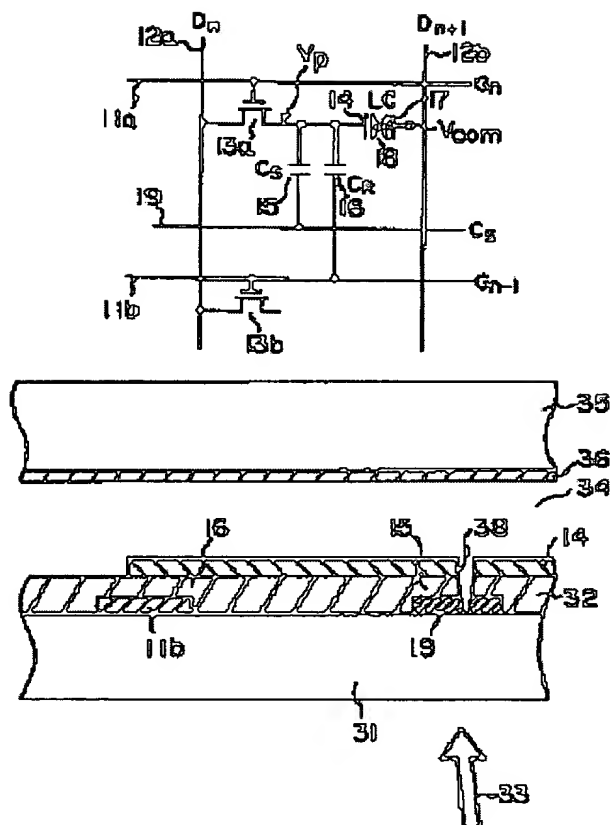
LIQUID CRYSTAL DISPLAY DEVICE

Patent number: JP7020829
Publication date: 1995-01-24
Inventor: SUZUKI KOJI
Applicant: TOSHIBA CORP
Classification:
- **international:** G09G3/36; G02F1/133
- **european:**
Application number: JP19930189328 19930630
Priority number(s):

Abstract of JP7020829

PURPOSE: To provide he active matrix type liquid crystal display device of a normally white mode capable of easily changing to non-bright point (black point) defect pixels.

CONSTITUTION: This liquid crystal display device includes a matrix array substrate 31 which consists of pixel electrodes 14 arranged in matrix, TFTs 13 disposed at the respective pixel electrodes 14 driven and controlled by address signal, bus lines 19 disposed via insulating layers 32 in the lower parts of the respective pixel electrodes 14 and applied with prescribed voltages and address lines 11b, a liquid crystal layer 34 which is disposed on this matrix array substrate 31 and a counter substrate 35 which has counter electrodes 36 corresponding to the pixel electrodes 14 and clamps the liquid crystal layer 34 together with the matrix array substrate 31. The pixel electrodes 14 which have the bright point defects are shorted to the bus lines 19 and the voltages of the bus lines 19 are applied thereon.



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-20829

(43) 公開日 平成7年(1995)1月24日

2

(51) Int. Cl. ^o	図別記号	庁内整理番号	F I	技術表示箇所
G 0 9 G 3/36				
G 0 2 F 1/133	5 5 0	9226-2K		

審査請求 未請求 請求項の枚数 1 F D (全 6 頁)

(21) 出願番号 特開平5-189328

(22) 出願日 平成5年(1993)6月30日

(71) 出願人 000003078

株式会社京芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 鈴木 幸治

神奈川県横浜市磯子区新磯子町33番地 株式会社京芝生産技術研究所内

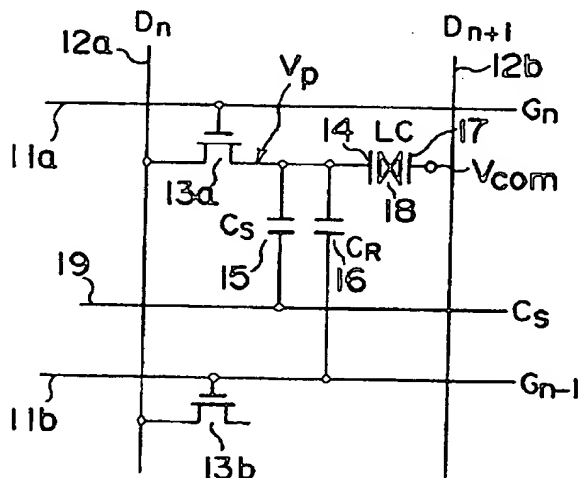
(74) 代理人 弁理士 鈴木 武彦

(54) 【発明の名称】 液晶表示装置

(57) 【要約】

【目的】 本発明の目的は、容易に輝点欠陥画素を減点化できるノーマリーホワイトモードのアクティブマトリックス型液晶表示装置を提供することにある。

【構成】 マトリクス配列された画素電極14と、アドレス信号により駆動制御される各画素電極14に設けられたTFT13と、各画素電極14の下部に絶縁層32を介して設けられた所定電圧の印加されたバスライン19とアドレス線11bとからなるマトリクスアレイ基板31と、このマトリクスアレイ基板31上に設けられた液晶層34と、画素電極14に対応した対向電極36を有し、マトリクスアレイ基板31と共に液晶層34を挟持する対向基板35とを具備し、上記画素電極14において、輝点欠陥のものは、バスライン19と短絡され、このバスライン19の電圧が印加されていることを特徴とする。



【特許請求の範囲】

【請求項1】複数のアドレス配線と、

各アドレス配線間に設けられた複数のバスラインと、
前記アドレス配線および前記バスラインに絶縁膜を介して設けられた複数のデータ配線と、

前記アドレス配線および前記データ配線により形成された交差部毎に配置され、隣接する1つのバスラインと絶縁膜を介して第1の蓄積容量領域を形成し、且つ隣接する1つのアドレス線と絶縁膜を介して第2の蓄積容量領域を形成した複数の画素電極と、

当該交差部毎に配置され、前記アドレス配線に電気的に接続された制御電極、前記データ配線に電気的に接続された第1の主電極および隣接する前記画素電極に電気的に接続された第2の主電極を有する複数のスイッチング素子と、

前記画素電極の上方に形成された対向電極と、

前記画素電極および前記対向電極の間に挟持された液晶層とを備えてなることを特徴とする液晶表示装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は液晶表示装置に関し、特にノーマリーホワイトモードのアクティブマトリクス型液晶表示装置に関する。

【0002】

【従来の技術】液晶表示装置は薄型、軽量であり、低電圧駆動が可能で、さらに、カラー化も容易である等の特徴を有し、近年パーソナルコンピュータ、ワード・プロセッサなどの表示装置として利用されている。中でも、各画素毎にスイッチング素子を設けたいわゆるアクティブマトリクス型液晶表示装置は、多画素にしてもコントラスト、レスポンス等の劣化がなく、さらに、中間調表示も可能であることから、フルカラーテレビや、OA用の表示装置として最適である。

【0003】図6はスイッチング素子として薄膜トランジスタ(TFT)を用いた従来のアクティブマトリクス型液晶表示装置の等価回路である。

【0004】この液晶表示装置は大きく分けて、ガラス等の透光性絶縁材料からなる2枚の基板すなわち図示しないアレイ基板及び対向基板と、これら基板により挟持された液晶層108とからなる。

【0005】アレイ基板には、TFT103、透明電極画素104とからなる画素がマトリクス状に設けられている。TFT103のゲート、ソース、ドレインにはそれぞれアドレス線101、透明画素電極104、データ線102が接続されている。

【0006】対向基板には、上記透明画素電極104に相対応して設けられた対向電極107が設けられている。

【0007】このように構成された液晶表示装置では、所定のタイミングでアドレス線101、データ線102

にそれぞれアドレス信号、データ信号を印加することにより、各画素電極104に表示に対応した電圧を選択的に印加することができる。液晶層108の配向により与えられる光透過率は、対向電極107と画素電極104との電位差で制御でき、これにより任意の表示が可能となる。

【0008】一般的によく用いられる液晶は、ツイストネマチックモードであり、両基板の外側にはそれぞれ偏光板が設けられる。この偏光板の配置方向により、ノーマリーホワイトモードとノーマリーブラックモードとの2種類の表示モードが実現できる。

【0009】すなわち、液晶層108に電圧が印加されていないときの光透過率が最大となる場合がノーマリーホワイトモードであり、最少の光透過率となる場合がノーマリーブラックモードとなる。

【0010】ノーマリーブラックモードでは、液晶層の厚みの僅かなずれて最少透過率がばらつき、また、透過する光の波長により、最適液晶層の厚みが異なる等の理由により高コントラストの実現が困難なため、通常はノーマリーホワイトモードが多く使用される。

【0011】ところで、TFTをはじめとする、スイッチング素子の製造工程は極めて複雑なため、全ての画素を無欠陥で作成することは極めて困難であり、製品のレベルにおいても、いくつかの欠陥画素が含まれている。

【0012】欠陥画素には何種類かのもの存在するが、最も表示品位を損なうものは、画面を黒表示にしたときに明るく見える輝点状欠陥画素である。ノーマリーホワイトモードの液晶表示装置において、輝点状欠陥が生じるのは、基本的に、液晶層の光透過率を変化させるのに十分な電圧が画素電極に加わっていない場合である。この原因は、いくつもあるため、種々の冗長構造等を用いても、この輝点状欠陥画素を皆無にすることは困難であった。

【0013】

【発明が解決しようとする課題】上述のごとく、従来のノーマリーホワイトモードのアクティブマトリクス型液晶表示装置には、輝点状欠陥画素が含まれているため、表示品位が著しく低下するという問題があった。

【0014】本発明は、上記事情を考慮してなされたもので、その目的とするところは、輝点状欠陥画素を簡単な修復方法により、画素欠陥としてはほとんど目立たない黒点欠陥に変換できる液晶表示装置を提供することにある。

【0015】

【課題を解決するための手段】本発明の骨子は、画素電極に接続可能な所定の電圧が印加されたバスラインを設け、画素電極の低下に伴ない輝点状の欠陥となる画素電極電位を減点状の表示となる電位に変換させることができ、かつ、正常画素においては通常の表示がそこなわれることなく動作させることが可能な構成を提供すること

にある。

【0016】すなわち、上記目的を達成するために、本発明に係る液晶表示装置は、複数のアドレス配線と、各アドレス配線間に設けられた複数のバスラインと、前記アドレス配線および前記バスラインに絶縁膜を介して設けられた複数のデータ配線と、前記アドレス配線および前記データ配線により形成された交差部毎に配置され、隣接する1つのバスラインと絶縁膜を介して第1の蓄積容量領域を形成し、且つ隣接する1つのアドレス線と絶縁膜を介して第2の蓄積容量領域を形成した複数の画素電極と、当該交差部毎に配置され、前記アドレス配線に電気的に接続された制御電極、前記データ配線に電気的に接続された第1の主電極および隣接する前記画素電極に電気的に接続された第2の主電極を有する複数のスイッチング素子と、前記画素電極の上方に形成された対向電極と、前記画素電極および前記対向電極の間に挟持された液晶層とを備えてなることを特徴とする。

【0017】好ましくは、前記画素電極に関連する前記アドレス線と前記バスラインとは、それぞれ逆相の交流電圧を印加し、前記対向電極の電位を一定に保ち、前記バスラインまたは前記アドレス配線の一方の交流電圧振幅を液晶層のしきい値電圧より高く設定すると良い。

【0018】また、前記対向電極の電位および前記アドレス線のオフ状態の電位を交流駆動し、且つ前記バスライン電位を直流バイアスし、このバスラインと前記画素電極とが電気的に短絡されたときに液晶層に印加される電位が液晶のしきい値電圧より大きくなるよう前記対向電極およびアドレス線の交流電圧の振幅および位相を設定すると好ましい。

【0019】さらに、前記画素電極は隣接するアドレスラインとの間に容量 C_1 を設けており、前記バスラインとは容量 C_2 を有した構成となっているが、バスラインには、電圧の大きさが V_1 となる交流信号が印加し、前記アドレス線にはスイッチング素子を選択するパルスの他に、電圧の大きさが V_2 である交流信号がバスラインの交流信号と逆位相で印加し、且つ、 V_1 、 C_1 の値と V_2 、 C_2 の値とをほぼ等しくして表示動作に影響を及ぼさないようにすると望ましい。

【0020】

【作用】本発明の液晶表示装置によれば、画素電極の電圧低下の際に、アドレス線またはバスラインの一方の配線と画素電極とを短絡することで、画素電極の電圧低下を補償することができる。このとき、補償された画素電極の電圧が、液晶層の光透過率を下げる十分のレベルになるようにバスラインの電圧を設定しておけば、輝点欠陥画素を悪影響の少ない減点欠陥画素に変換できる。

【0021】また、アドレス線およびバスラインに逆位相のパルス電圧を印加し、且つ $C_1 \cdot V_1$ の値と $C_2 \cdot V_2$ の値とをほぼ等しくすれば、通常動作において、アドレス線電圧とバスライン電圧の影響は表示画素電極に

対しては打ち消し合うため、表示はこれらバスラインの電圧の影響を受けない。

【0022】これは、パルス電圧により容量 C_1 に蓄積される電荷 Q_1 と容量 C_2 に蓄積される電荷 Q_2 とがそれぞれ $Q_1 = C_1 \cdot V_1$ 、 $Q_2 = C_2 \cdot V_2$ となり且つパルス電圧が逆位相のため、画素電極にこの逆位相のパルス電圧によって誘起される電荷(ΔQ)が、 $\Delta Q = Q_1 + Q_2 = 0$ となるためである。

【0023】

【実施例】以下、図面を参照しながら実施例を説明する。

【0024】図1は本発明の第1の実施例に係る液晶表示装置の模式的な等価回路、図2は図1の液晶表示装置の画素分の平面図、図3は図2の画素電極14を含む断面図である。

【0025】この液晶表示装置は大きく分けて、ガラス等の透光性絶縁材料からなる2枚の基板、すなわちマトリクスアレイ基板31および対向基板35と、これら基板31、35により挟持された液晶層34とからなる。

【0026】この液晶表示装置の画素は、ゲートがアドレス線11aに接続され、一方のソース・ドレインが画素電極14に接続され、他方のソース・ドレインがデータ線12aに接続されたTFT13aと、 C_1 バスライン19およびアドレス線11b上に形成され、絶縁膜32を介して画素電極14に接続された蓄積容量 C_1 、15、 C_2 、16とで構成されている。

【0027】本実施例では、TFT13aは、ゲート部が絶縁膜32を介して半導体層の下部に形成された逆スタガー型TFTである。半導体層の材料としては、アモルファスシリコンを使用している。画素電極14の材料としては、ITO(Indium Tin Oxide)を使用している。また、アドレス線11、 C_1 バスライン19は、モリブデンとタンタルとの合金薄膜からなる。なお、蓄積容量体15、16の容量 C_1 、 C_2 はそれぞれ0.1PFおよび0.5PFとする。

【0028】このような構成において図4に示すように、アドレス線11aには、TFT13aをオン状態とするパルス電圧 V_{G1} および V_{G1}' と共に、TFT13をオフ状態とする電圧 V_{G11} 、 V_{G12} からなる電圧 V_{G1} が印加されている。アドレス線11bには、隣接する画素を駆動するTFT13bが接続され、 V_{G11} なる電圧が印加されている。 C_1 バスライン19には、 V_{G1} を中心電位とし、振幅 V_{CA} となる交流電圧 V_{CS} が印加されている。また、液晶の対向電極17には、 V_{G1} が印加されている。なお、本実施例では、 $V_{G1} = V_{G1}' = 20V$ 、 $V_{G11} = 2V$ 、 $V_{G12} = 0V$ であり、 $V_{G1} = 8V$ 、 $V_{CA} = 5V$ 、 $V_{G1} = 7V$ とする。

【0029】ここで、アドレス線11bに印加される振幅 V_{CA} の交流電圧と、バスライン19に印加される振幅 V_{CA} の交流電圧 V_{CS} は互いに逆位相であり、かつ $V_{CA} \cdot$

C_A の値と $V_{CA} \cdot C_s$ の値はそれぞれ $1V \times 0.5PF$ と $5V \times 0.1PF$ でほぼ等しく設定されている。また、交流電圧の周期は $30Hz$ であり、これは V_{CA} 、 V_{CS} のTFTをスイッチングするパルスの $60Hz$ と同期している。

【0030】画素電極の電位 V_p の一例を図4に示すが、アドレス線11bおよび C_s 、バスライン19の交流電圧の影響は打ち消されるように設定されているので電位 V_p にはこれら交流電圧の影響は現れていない。従って、液晶には振幅 V_{11} の交流電圧が印加され通常の表示動作が行なわれる。

【0031】ここで、ある画素電極XにTFTの特性不良などにより、電圧が印加されなかった場合、液晶層18には電圧が印加されないため、ノーマリーホワイトモードの液晶表示装置では輝点状の欠陥となる。この場合は、図3に示すように、TFT基板31の裏面からレーザー照射33などを施して導電膜38を形成することによって、バスライン19と画素電極14とを接続する。このとき、画素電極Xの電位 V_{px} は、図4に示すように、バスライン19の電位 V_{19} がそのまま印加されることになる。このため、液晶には $(V_{C0} \pm V_{CA}) - V_{C0}$ の電位が印加される。本実施例では $(8 \pm 5) - 7 = 1 \pm 5 (V)$ の交流電圧が印加され、画素の表示は黒表示となり、輝点状画素欠陥を目立たない減点状画素欠陥に変換することができる。

【0032】なお、本実施例では $V_{CA} \cdot C_A = V_{CS} \cdot C_s$ 、としたが、これらの設定が多少ずれていても、対向電*

$$C_A (V_{C0} - V_{C00}) = C_s (V_{C0} + V_{C00}) = 0 \quad \dots (1)$$

とし、アドレス線の交流電圧とバスラインの交流電圧を逆位相とすればよい。なお、容量 C_A 、 C_s の値は第1の実施例と同じである。

【0037】しかし、本実施例ではこれら交流電圧の極性反転の時間が、アドレス線のスイッチング素子をオンさせる選択パルス V_{CS} と同じであるため、液晶の交流駆動電圧の周期より圧倒的に速いため、 ΔV_{11} の効果は V_{11} の正及び負の期間で同等になるので、フリッカーなどの画質劣化を生ずることはない。従って、本実施例では輝点状欠陥を減点状欠陥に変換できるようにバスライン19の交流電圧振幅 V_{19} を設定するようにした。すなわち、バスライン19を画素電極14にショートさせたときの液晶層18に印加される電圧 V_x が液晶層のしきい値電圧 V_{th} より大きくなるように V_{19} を設定した。これは、 V_{19} の大きさ、 V_{C0} に対する位相(0° または 180°)を調整することにより、容易に目視で調整できる。

【0038】さらに、駆動回路系を単純化する意味で、アドレスライン11の交流電圧振幅 V_{11} または、バスライン19の交流電圧振幅 V_{19} を0とすると実用上大きな効果がでてくる。本実施例では $V_{C0} = 0$ とし、バスライン19の電位を一定(直流)とした。このときは V_{C0} を

* 極電位 V_{C00} を調整することにより、フリッカーのない良好な画像を得ることができ、かつ、バスライン19の交流電圧振幅 V_{19} を液晶層18のしきい値電圧以上に設定しておけば、減点化の変換も可能となる。

【0033】また、バスライン19と画素電極14を接続したが、バスライン19のかわりにアドレス線11bと画素電極14を接続しても同様の効果が得られる。ただし、この場合、交流電圧振幅 V_{11} は液晶層18のしきい値電圧以上に設定しておく必要がある。

【0034】次に、本発明に係る第2の実施例について説明する。本実施例の液晶表示装置の要部構成は、前述した図1ないし図3に示されるものと同一である。以下、図5を参照しつつ本実施例の液晶表示装置動作について説明する。

【0035】この実施例では対向電極電位 V_{C0} がアドレス線のTFTの選択パルスと同期した交流電圧となっている。アドレス線11bの交流電圧 V_{C11} も V_{C0} と同期して変化させ、かつ、バスライン19の交流電圧 V_{19} も同一周期で、かつ、逆位相で変化させている。画素電極電位 V_p には、これら交流電圧の影響が重畳した波形となり、最終的に液晶層に印加される電圧 V_{11} にもこの影響が電圧 ΔV_{11} に表われる。

【0036】 ΔV_{11} 量を減らすのは第1の実施例と同様な設定で実現できる。すなわち、 V_{C0} の振幅を $\pm V_{C00}$ 、アドレス電圧の交流分の振幅 $\pm V_{C11}$ 、バスラインの交流電圧振幅を $\pm V_{19}$ とすると、

調整することにより、容易に減点化に必要な電圧を液晶層に印加することができる。本実施例では $V_{C0} = 8 \pm 2.5V$ 、 $V_{C11} = 9V$ (一定)に対して、アドレス線の交流電圧 $1 \pm 3.5V$ で輝点欠陥を十分な減点化にすることができた。

【0039】なお、実施例ではアドレス線の選択パルスと同期して、 V_{C0} が交流バイアスされていたが、フィールド周波数と同期して V_{C0} の極性反転が行なわれるときは、 V_{C11} 、 V_{19} の設定を最適化しないとフリッカーや、画面内輝度ムラが発生する場合がある。このときは(1)式に従って、 V_{C11} 、 V_{C0} 、 V_{19} を調整することが望ましい。

【0040】なお、本発明は、上述した各実施例に限定されるものではない。一画素を複数の画素に分割しそれぞれの分割画素に本方式を適用すれば、輝点状欠陥のみならず、減点状欠陥の救済も実用上可能となる。

【0041】さらに、上記実施例では、白黒ディスプレイの場合について説明したが、本発明はカラーフィルターを用いたカラーディスプレイにも適用できる。なお、この場合は、赤、青、緑の各単位画素で一つの画素を構成するため、各色の画素をそれぞれ複数の分割画素としたものでは、不良単位画素以外の単位画素も減点化して

もよい。すなわち、不良単位画素だけを修復すると、色バランスがくずれ、表示品位が低下することがあるため、必要に応じて正常な分割画素を減点化し、修復による表示品位の低下を防止してもよい。

【0042】本発明による液晶表示装置では、画素電位の安定化を向上させる蓄積容量が隣接アドレスラインとバスラインの2ヶ所で構成されるため、例えばバスラインのオープン等により、一方の蓄積容量が機能しなくても、他方の蓄積容量により画素電位の安定化を図ることができる利点を有している。

【0043】また、画素電極14を2つの液晶配向領域に分割して、視覚特性を向上させるデュアルドメイン方式の液晶表示装置では、2つの配向領域の境界に発生する液晶分子の不連続領域が発生し、この部分で光が透過してコントラストの低下を発生させるが、本発明のバスライン19をこの領域に設置することによりこのような表示劣化を防止することができる。このとき、バスライン幅は配向領域不連続領域をマスクできる最小線幅とし、画素電位の安定化に要求されるトータルの蓄積容量を実現するための残りの容量をアドレスライン上に設けることにより、開口率を向上させることが可能となる。

【0044】さらにまた、本発明は、TFT以外の3端子スイッチング素子や2端子スイッチング素子を用いた液晶表示装置にも適用できる。

【0045】その他、本発明の要旨を逸脱しない範囲で、種々変形して実施できる。

【0046】

*【発明の効果】以上説明したように本発明によれば、ノーマリーホワイトモードの液晶表示装置において、表示品位に最も悪影響を与える輝点欠陥画素をより悪影響が少ない減点欠陥画素に容易に変換できる。

【図面の簡単な説明】

【図1】本発明の第1の実施例に係る液晶表示装置の模式的な等価回路を示す図

【図2】図1の液晶表示装置の一画素分の平面図

【図3】図2の画素の部分断面図

10 【図4】バイアス電圧の波形を示す図

【図5】本発明の第2の実施例に係る液晶表示装置のバイアス電圧の波形を示す図

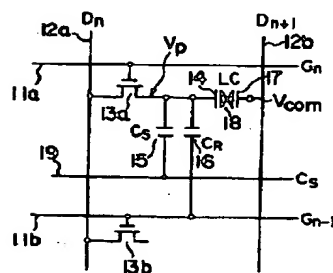
【図6】従来のアクティブマトリックス型液晶表示装置の等価回路

【符号の説明】

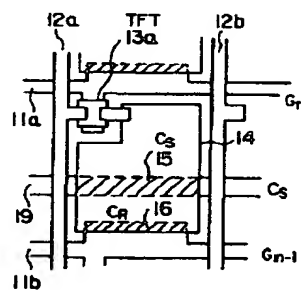
- | | |
|--------------------|------------------|
| 1, 11a, 11b…アドレス線 | 2, 12a, 12b…データ線 |
| 3, 13a, 13b…TFT | 4, 14…透明画素電極 |
| 5, 6, 15, 16…蓄積容量体 | 7, 17, 3 |
| 6…対向電極 | 19…バスライン |
| 8, 18, 34…液晶層 | 31…マトリクスアレイ基板 |
| 32…絶縁膜 | 33…レーザ光 |

* 光

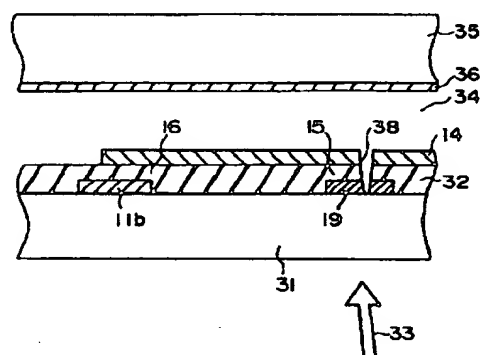
【図1】



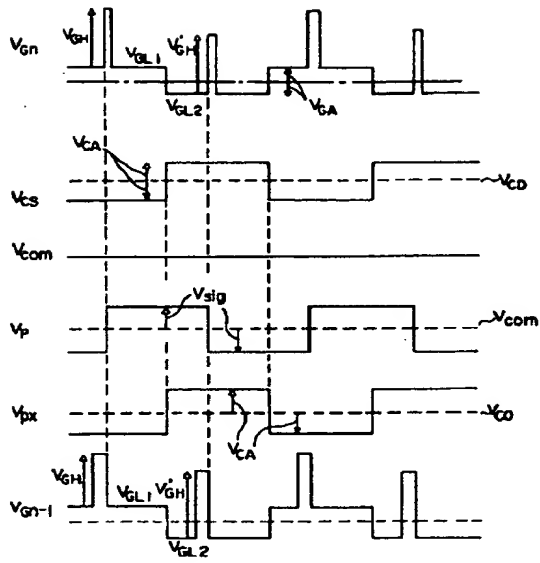
【図2】



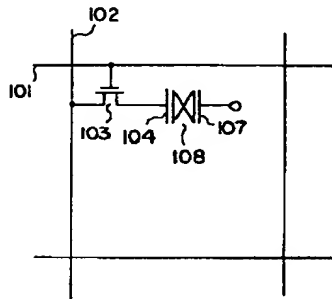
【図3】



【図4】



【図6】



【図5】

